

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.  
009159781      \*\*Image available\*\*  
WPI Acc No: 1992-287220/199235  
Related WPI Acc No: 2000-553391  
XRPX Acc No: N92-219663

Active matrix type LCD device - includes N-channel FET of dual gate  
structure for voltage supply NoAbstract

Patent Assignee: SHARP KK (SHAF )

Number of Countries: 001    Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 4195123	A	19920715	JP 90331340	A	19901128	199235 B
JP 3107312	B2	20001106	JP 90331340	A	19901128	200059

Priority Applications (No Type Date): JP 90331340 A 19901128

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 4195123	A		5 G02F-001/136	
------------	---	--	----------------	--

JP 3107312	B2		5 G02F-001/1368	Previous Publ. patent JP 4195123
------------	----	--	-----------------	----------------------------------

Title Terms: ACTIVE; MATRIX; TYPE; LCD; DEVICE; N-CHANNEL; FET; DUAL; GATE;  
STRUCTURE; VOLTAGE; SUPPLY; NOABSTRACT

Derwent Class: P81; P85; U14

International Patent Class (Main): G02F-001/136; G02F-001/1368

International Patent Class (Additional): G02F-001/133; G09G-003/36;

H01L-027/12; H01L-029/784; H01L-029/786

File Segment: EPI; EngPI

APR-12-2004 20:31

INIAUIN FKHOUU I LL

**\*\*Image available\*\***

## TRIX LIQUID CRYST

04-195123 [JP 4195123 A]

July 15, 1992 (19920715)

**YAMASHITA TOSHIHIRO**

**MATSUSHIMA YASUHIRO**

**TAKATO YUTAKA**

SHARP CORP [000504] (A Japanese Company or Corporation), JP  
(Japan)

02-331340 [JP 90331340]

November 28, 1990 (19901128)

[5] G02F-001/136; G02F-001/133; G09G-003/36; H01L-027/12;  
H01L-029/784

29.2 (PRECISION INSTRUMENTS - Optical Equipment); 42.2 (ELECTRONICS - Solid State Components); 44.9 (COMMUNICATION - Other)

WORD:R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS - semiconductors, MOS)

Section: P, Section No. 1445, Vol. 16, No. 522, Pg. 140,  
October 27, 1992 (19921027)

## ABSTRACT

**PURPOSE:** To allow the sufficient supply of voltages from a scanning signal driving circuit to picture element TFTs and to improve a display grade by forming the N channel TFTs among the TFTs constituting the scanning signal driving circuit to a dual gate structure and executing counter driving.

**CONSTITUTION:** The N channel TFT among the TFTs of the CMOS logic part and buffer amplifier part constituting the scanning signal driving circuit 1 forms the structure in which two pieces are connected in series and a gate electrode is commonly used. In addition, the pulse voltage of a reverse polarity is impressed to the counter electrode of a display part 3 when the TFT of the display part 3 is on. The amplitude range of the voltage to be impressed to a liquid crystal is so regulated as to be larger than the amplitude range of the output voltage from a data signal driving circuit 2. The pulses of the sufficient voltage amplitude are outputted to a scanning signal line 5 in this way and the amplitude of the output voltage to the scanning signal line is diminished while the display grade is well maintained by executing the counter driving.

⑤ 日本国特許庁(JP) ⑥ 特許出願公開  
⑦ 公開特許公報(A) 平4-195123

⑧ Int. Cl.<sup>7</sup> 識別記号 庁内整理番号 ⑨ 公開 平成4年(1992)7月15日  
G 02 F 1/136 5 0 0 9018-2K  
1/133 5 5 0 7834-2K  
G 09 G 3/38 A 7928-5C  
H 01 L 27/12 7514-4M  
29/184 9056-4M H 01 L 29/78 3 1 1 E  
審査請求 未請求 請求項の枚数 3 (全5頁)

⑩ 発明の名称 アクティブマトリクス液晶表示装置  
⑪ 特 願 平2-331340  
⑫ 出 願 平2(1990)11月28日  
⑬ 発 明 者 山 下 俊 弘 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内  
⑭ 発 明 者 松 島 康 浩 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内  
⑮ 発 明 者 高 藤 裕 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内  
⑯ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号  
⑰ 代 理 人 弁理士 梅 田 勝 外2名

明 細 書

1. 発明の名称  
アクティブマトリクス液晶表示装置  
2. 特許請求の範囲  
(1) 表示部TFTと同一基板上に一体形成したホリシリコンTFTを用いたCMOS回路構成において、少なくとも走査信号駆動回路を構成するCMOS回路部及び信号増幅部のTFTの内、NチャンネルTFTが2個直列に接続されかつゲート電極を共通とした構造から成り、かつ走査部の対向電極に信号部のTFTがON状態の時、走査部のパルス電圧を印加し、液晶に印加される電圧駆動電圧がデータ信号駆動回路からの出力電圧の駆動電圧よりも大きいことを特徴とするアクティブマトリクス液晶表示装置。  
(2) 前記走査信号駆動回路を構成する回路部及びデータ信号駆動回路部は走査信号線への出力レベルより低い電圧電圧で駆動し、前記走査信号駆動回路部は駆動電圧からの出力を昇圧回路により走査信号線の出力レベルに昇圧する回路を有する事を特

定する特許請求範囲第1項記載のアクティブマトリクス液晶表示装置。  
(3) 前記走査信号駆動回路に含まれる昇圧回路を構成するNチャンネルのTFTが2個直列に接続されかつゲート電極を共通とした構造とすることとを特徴とする特許請求範囲第2項記載のアクティブマトリクス液晶表示装置。  
3. 発明の発明者説明  
【産業上の利用分野】  
本発明はアクティブマトリクス液晶表示装置に係わり、内蔵される走査信号駆動回路の回路構成に関するものである。  
【従来の技術】  
アクティブマトリクス液晶表示装置が小型高輝度化される場合、信号部のTFTを形成すると同時に走査信号駆動回路やデータ信号駆動回路も同一基板上に形成されることが行われている。従って回路を内蔵することの利点は、駆動電圧(Cを介して実用するよりも低コスト化が図れること、及びパネルモジュールサイズをより小型化できること、

## 特開平4-185123 (2)

等があげられる。これらの特徴を生かして1イン  
チ程度の大きさの駆動回路を内蔵した液晶表示装  
置がビューファインダー用として用いられること  
になっている。一般に内蔵される駆動回路は、NTSC  
方式の場合垂直方向で15、75とH1、データ制  
でH1で動作しなければならないので、駆動  
を構成しているTFTにはアモルファスシリコン  
より移動度が大きいポリシリコンが使用される。

第1図は駆動回路内蔵アクティブマトリクス液  
晶表示装置を示している。走査信号線と、デー  
タ信号線の交点にTFT4がある。表示部3は、  
このTFTがマトリクス状に配置されたTFT画  
素と対向電極基板とその2つの間に注入された液  
晶とから成る。走査信号線5は走査信号駆動回路  
1に、データ信号線6はデータ信号駆動回路2に  
接続されている。これら内蔵駆動回路は消費電力  
が小さくできることからCMOS回路で構成され  
ることが多い。第2図は、走査信号駆動回路の構  
成の一例を示しており、CMOSスタティック型  
シフトレジスタ7とバッファ8から成る。CM

OS回路の基本構成要素であるインバータ9のレ  
イアウトパターンを第3図に示す。これはゲート  
電圧33が1番であるシングルゲート構造のNチャ  
ネルTFT31およびPチャンネルTFT32、  
GND線34及び電源線35から成っている。こ  
の例の液晶表示装置では、シフトレジスタを動作  
させる電源電圧と同じ電圧をもつパルスが駆動。  
走査信号線5に出力されることにより走査信号線  
上の画素TFT4がON状態になり、データ信号  
線6から伝送されてくるデータ電圧が画素に書き  
込まれ、その電圧で液晶の透過率を制御すること  
により表示がこなされる。

## 【説明が解決しようとする課題】

ポリシリコンTFTを用いた液晶表示装置で表  
示品位の高い画面を得るには、画素TFTのゲー  
ト電圧に15V以上の十分なゲート電圧を印加す  
る必要がある。ところが、一般にポリシリコンT  
FTの場合、NチャンネルTFTのソース・ドレ  
イン間の電圧は10V前後と低い。したがって内  
蔵駆動回路のNチャンネルTFTは画素付近で動

作させることになり実効した駆動に対して駆動効  
率が低くなる。

## 【問題を解決するための手段】

一般にポリシリコンTFTの場合、ゲート電圧  
が1番のシングルゲート構造よりもTFTが2番  
直列に接続されたツェーゲート構造を共通とした駆動  
（以後、デュアルゲート構造と称す）の方がドレ  
イン結合部での電圧が高くなるので、ソース・  
ドレイン間の電圧が大きい。そこで走査信号駆動  
回路を構成するTFTの中でNチャンネルTFT  
をデュアルゲート構造にする。あるいは、駆動回  
路を画素より低い電圧（例えば10V前後）で動  
作させ、走査信号線へは昇圧回路で15V以上の  
十分な電圧に昇圧し出力する。この場合、昇圧回  
路を構成しているNチャンネルTFTをデュアル  
ゲート構造にする。さらに同時に、対向電極に注  
入されるTFTがON状態の時、透過性のパルス電  
圧を印加し、液晶に印加される電圧値がデータ  
信号線駆動回路からのデータ信号の出力電圧値程  
度よりも大きくなるような駆動法（以後、対内電

圧と称す）を行う。

## 【作用】

上記手段によれば、電圧が低いNチャンネルT  
FTをデュアルゲート構造にすることにより画素  
を大きくし、走査信号線へ十分な電圧値のパル  
スを出力することが可能になり、かつ対向電極を  
行うことで表示品位を良好に保ったまま、電源線  
信号線への出力電圧の振幅を小さくできる。

## 【実施例】

本発明の実施例について説明する。第2図のレ  
フトレジスタ及びバッファを構成しているNチャ  
ネルTFTをデュアルゲート構造にすることによ  
り、走査信号駆動回路の電圧を向上し走査信号  
線に十分な電圧をもつパルスを供給することがで  
きる。この場合、例えばインバータは第4図に示  
すようにゲート電圧43がデュアルゲート構造の  
NチャンネルTFT41とシングルゲート構造の  
PチャンネルTFT42とから成る。第5図は、  
走査信号駆動回路の駆動回路は低電圧で動作し、昇

轉國平 4-195123 (8)

図5図で電圧信号線へは十分な電圧パルスを提供する実装例である。これは第2図の駆動回路のバッファの代わりに昇圧回路51を付ける。シフトレジスタは駆圧より十分低い例えば10V程度の電圧電圧で動作させ、昇圧回路により15V以上の電圧パルスとして電圧信号線に出力する。したがってシフトレジスタ部のNチャンネルTFTは第2図に示すような通常のシングルゲート構造でもよい。この昇圧回路51の一電圧信号増分の回路構成の一例が52であり、53は高電圧用に接続されており、54がPチャンネルTFTで、55がNチャンネルTFTである。NチャンネルTFTは55をデュアルゲート構造にしておくことにより、駆圧に対する飽和は解決される。さらに対向駆動を行えば、駆動TFTのゲート電圧に印加する電圧を下げることもできる。その対向駆動について第6図で説明する。電圧増成回路から駆圧 $V_0$ の出力パルス51(3位差成分を指示している)が電圧線に出力されている時、その電圧線に誘導されている誘導TFTがON状態になる。その時、

データ信号駆動回路からデータ信号の出力される。対向駆動をしない場合には、対向電圧  $V_{com}$  とデータ区電圧との差である  $\pm V_o$  が印加される。一方、対向駆動の場合、6 月に示すように駆動用 FET が ON 状態の時、対向電圧に定電圧のパルス電圧  $V_{com} \pm V_o$  を印加することにより、図 6 には 5 4 に示すように  $\pm (V_o + V_{com})$  の電圧が印加される。したがって対向駆動において、対向駆動をしない場合と同じ表示特性を得、すなわち液晶に印加される電圧を等しくとしたらデータ信号駆動回路から出力するデータ信号の電圧を  $V_o$  だけ低くできる。この時、データ信号の給電への書き込み特性を損なうことなく表示電圧の電圧  $V_o$  を  $V_o$  だけ下げることができる。すなわち表示品位を良好に保ったまま定電圧駆動回路の動作電圧を下げることができる。また別の見方をすれば、対向駆動においては、対向駆動をしない時と同じ電圧の定電圧で書き込みを行えば表示品位を向上することもある。

【俊明公卿馬】

以上説明したように本発明によれば、走査線が  
駆動期間から休止するまでに十分な電圧を供給でき、  
走査電位の低下を抑制する。

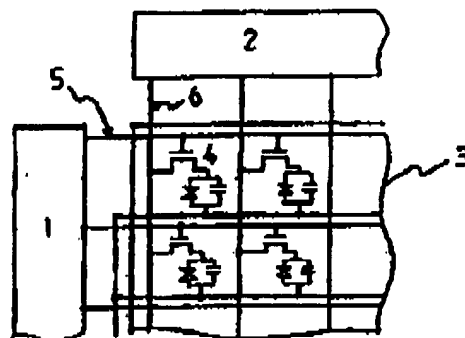
#### 4. 國際標準化組織

第1図は、電磁気的共振アタチバマトリクス  
波長長手装置である。第2図は、変換器用電磁  
誘起共振器である。第3図は、シングルゲ  
ート構造のインバーターであり、第4図は、デュ  
アルゲート構造のインバーターを示す。第5図は、  
共振器を含む電圧増幅器回路図である。第6図  
は、対称共振のバラス回路図である。

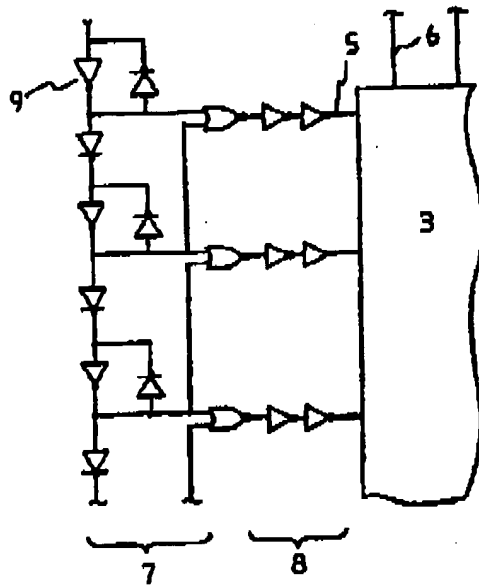
1…位置信号受信回路、2…データ信号受信回路、3…並行部、4…抽選DFET、5…位置信号部、6…データ信号部、7…シフトレジスタ、8…バッファ、9…インバータ、41…デュアルゲート構造のNチャンネルTFT、51、52…昇圧回路、61…位置信号パルス、62…対向駆動時の対向電圧、64…対向駆動時の抽選に印加される電圧。

代理人 弁護士 柳田 豊 (通称)

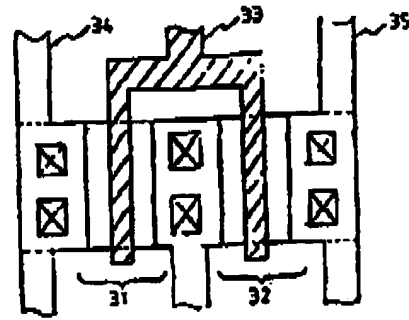
**第1図**



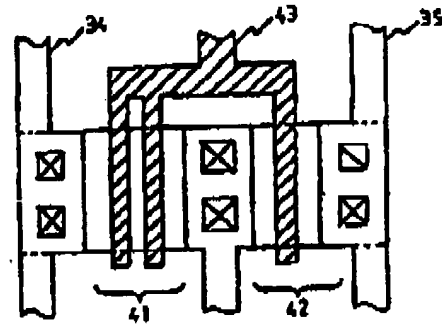
第2图



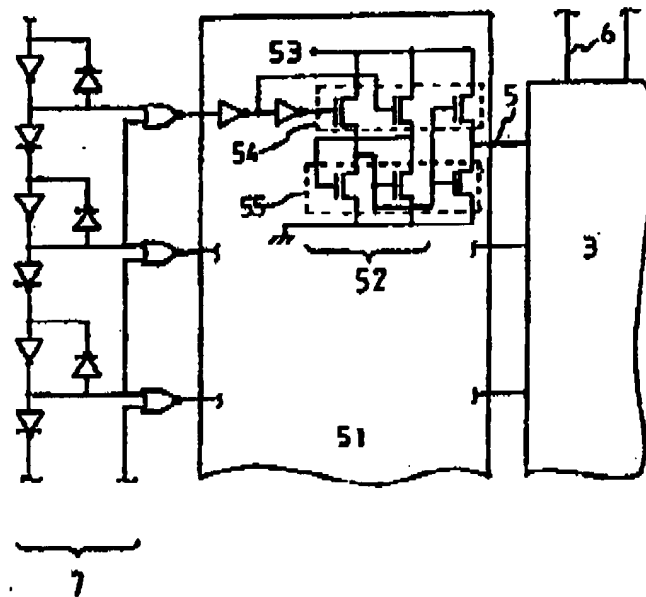
第3图



第4图



第5图



符圖平 4-195123 (B)

圖 6

